

Principy počítačů a operačních systémů

Paměťový subsystém

Zimní semestr 2007/2008

Hlavní parametry pamětí

Kapacita

- objem informace, který je možno uchovat

Přístupová doba

- doba, za kterou je možné přečíst/zapsat data

Přenosová rychlost

- rychlost přenosu dat z/do paměti
 - ♦ špičková vs. zaručená

Cena

- cena za jednotkovou kapacitu, typicky za GB

Další parametry pamětí

Velikost slova

- velikost adresovatelné jednotky

Přenosová jednotka

- počet jednotek, které je možno přenést v 1 kroku

Cyklus paměti

- minimální doba mezi dvěma požadavky

Přístupová metoda

Klasifikace pamětí

Hlavní kritéria

- účel/funkce
- způsob přístupu
- technologie
- umístění v systému
- vnitřní organizace
- detekce/oprava chyb
- ...

Klasifikace pamětí

Účel/funkce

- ROM – read only memory
- RWM – read-write memory
- speciální paměti
 - ♦ IRAM (Intelligent RAM)
 - paměť + CPU (remember and compute)
 - ♦ CRAM (Crypting RAM)
 - ...
- WORM – write once, read many times

Klasifikace pamětí

Varianty ROM

- Mask ROM
- PROM
- EPROM
- EEPROM
- FLASH

Varianty RWM

- DRAM
- SRAM

Speciální paměti

- IRAM
- CRAM

...

Klasifikace pamětí

Způsob přístupu

- RAM – Random Access Memory
 - ♦ všechna paměťová místa mají svou adresu
 - ♦ k paměťovým místům může být přistupováno v libovolném pořadí
 - ♦ doba přístupu nezáleží na předchozí adrese, je konstantní
- SAM – Sequential Access Memory
 - ♦ paměťová místa nemusejí mít svou adresu
 - ♦ přístup sekvenční
 - ♦ doba přístupu je závislá na vzdálenosti od počátku

Klasifikace pamětí

Způsob přístupu

- DAM – Direct Access Memory
 - ♦ paměťová místa mají jednoznačné adresy
 - ♦ přístup ke konkrétnímu místu je proveden kombinací výběru paměťové oblasti a sekvenčního přístupu v rámci této oblasti
- AAM – Associative Access Memory
CAM – Contents-Addressable Memory
 - ♦ přístup k datům ne podle adresy, ale podle (části) obsahu
 - ♦ obvykle paralelní prohledávání

Klasifikace pamětí

Technologie

- Pre-elektronické
 - ♦ relé, zpožďovací linky, feritová jádra
- Elektronické – RAM, FLASH, ...
- Magnetické – bubny, pásky, disky
- Optické – CD, DVD, MD

- chemické, biologické, ...

Elektronické paměti

Statické

- pro udržení dat není třeba periodicky obnovovat

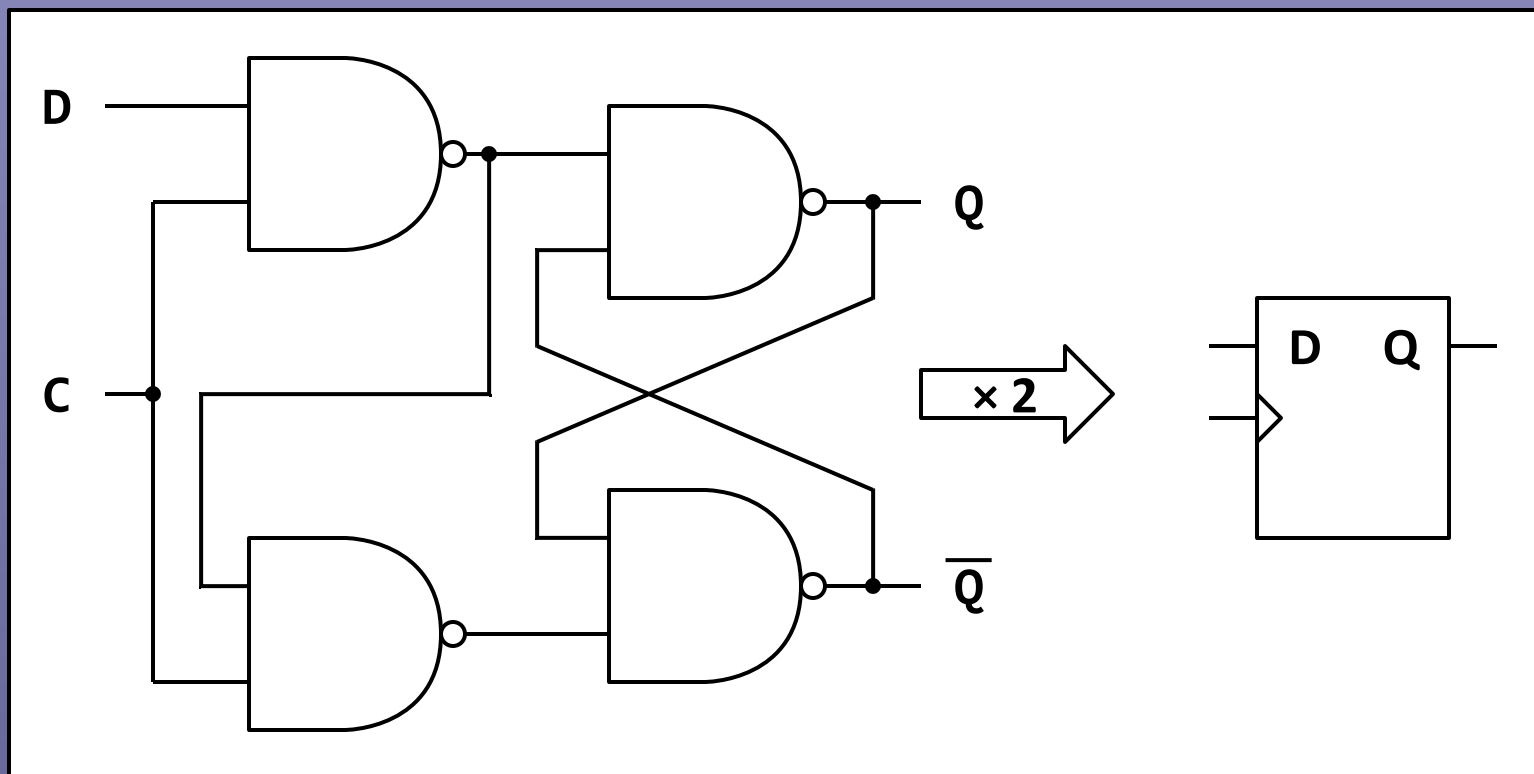
Dynamické

- pro udržení obsahu paměti je třeba obnovování

Statická paměť

Záchytné a klopné obvody

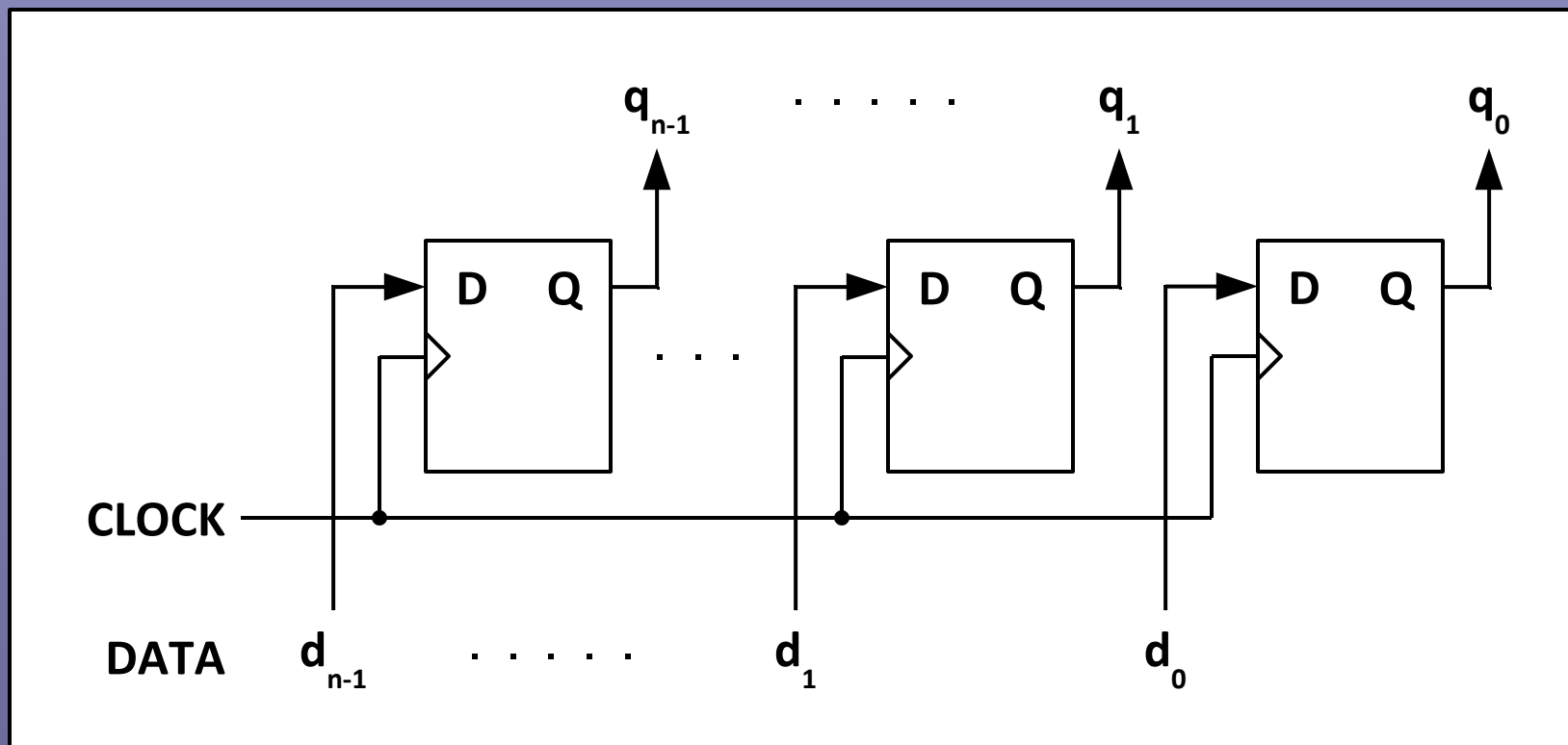
- klopný obvod typu D ~ 9 hradel ~ 18 tranzistorů



Statická paměť

Registry

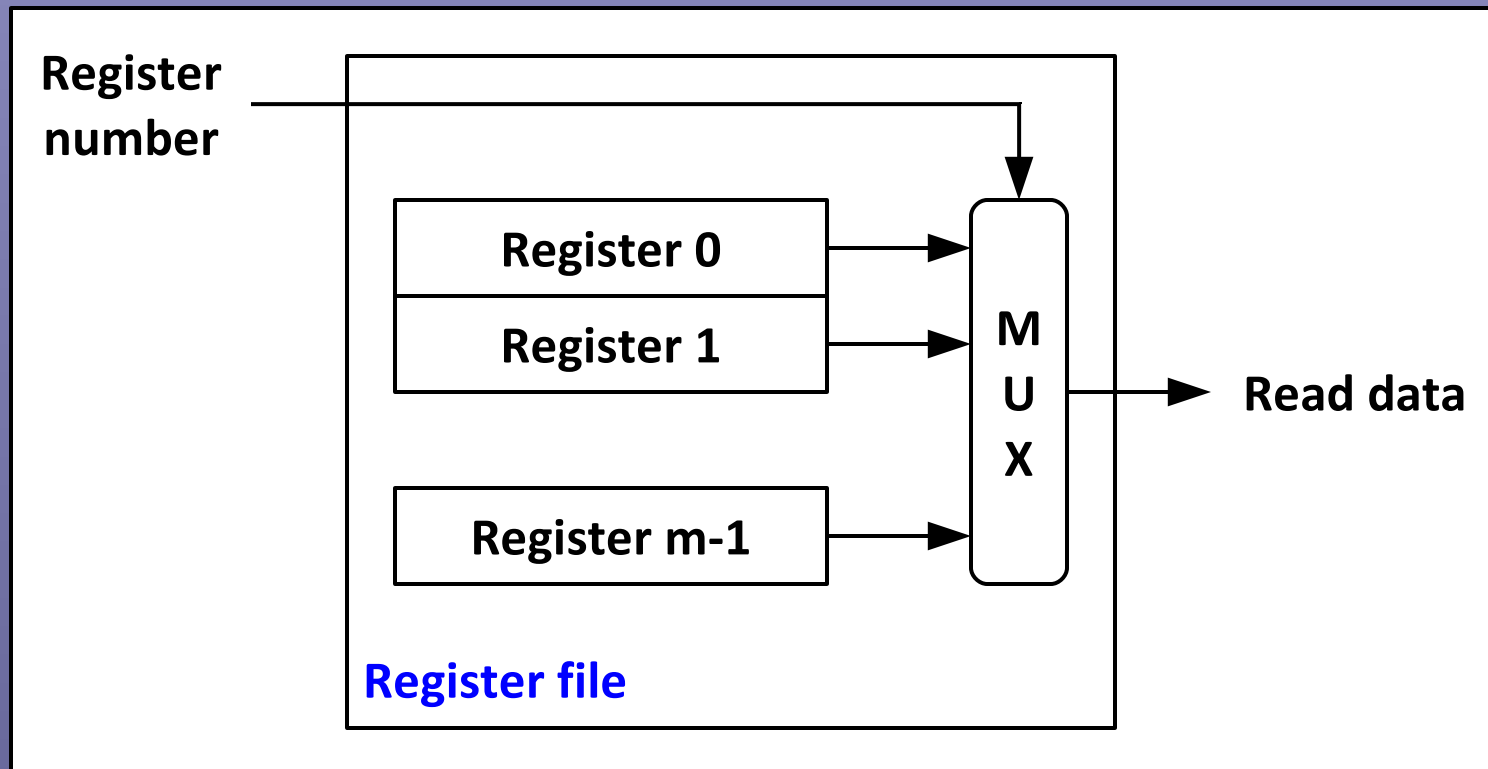
- šířka slova (n bitů)



Statická paměť

Registrové pole

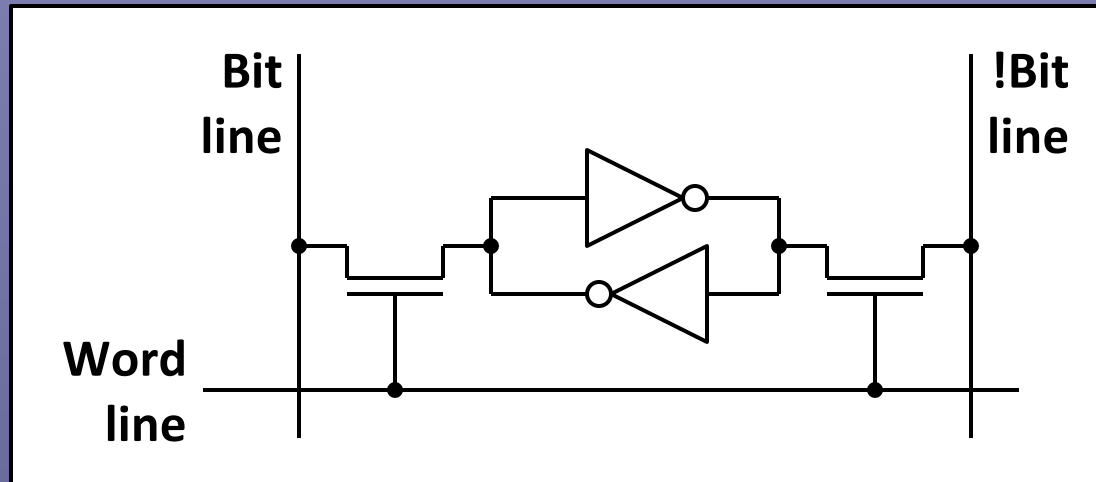
- počet registrů (n bitových)
- vstupní dekodér, výstupní multiplexor



Statická paměť

Buňka paměti SRAM

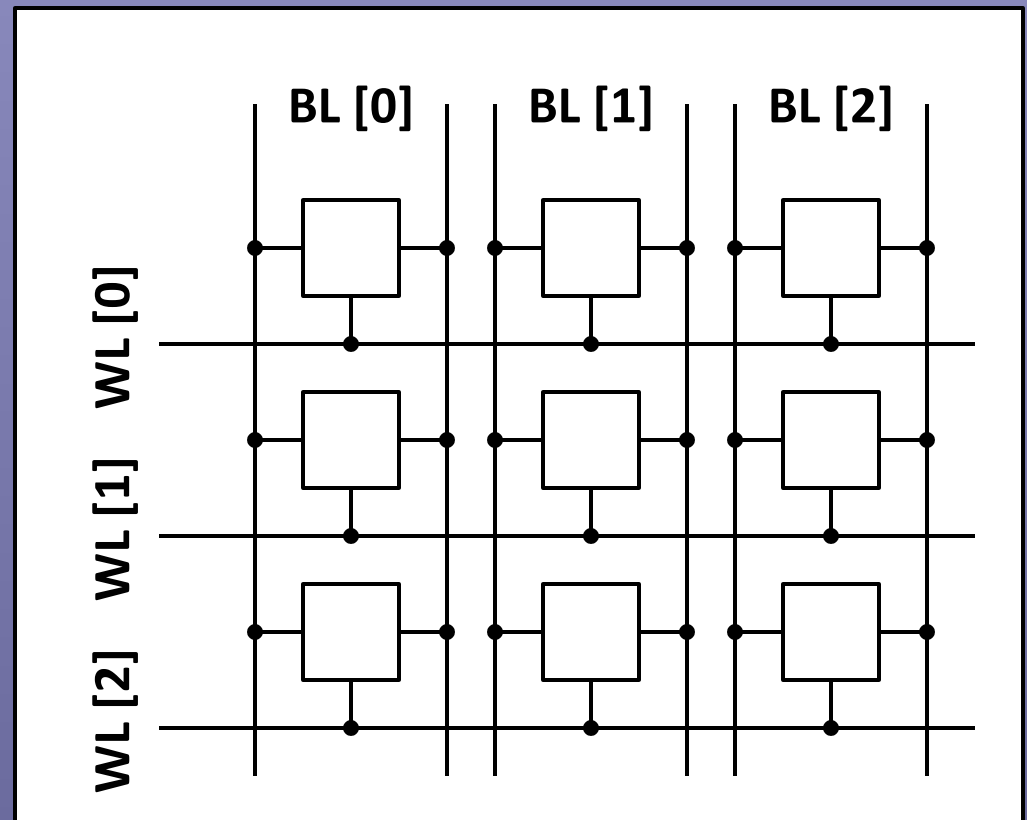
- dvojice invertorů + řídící tranzistory
- celkem 6 tranzitorů na 1 buňku



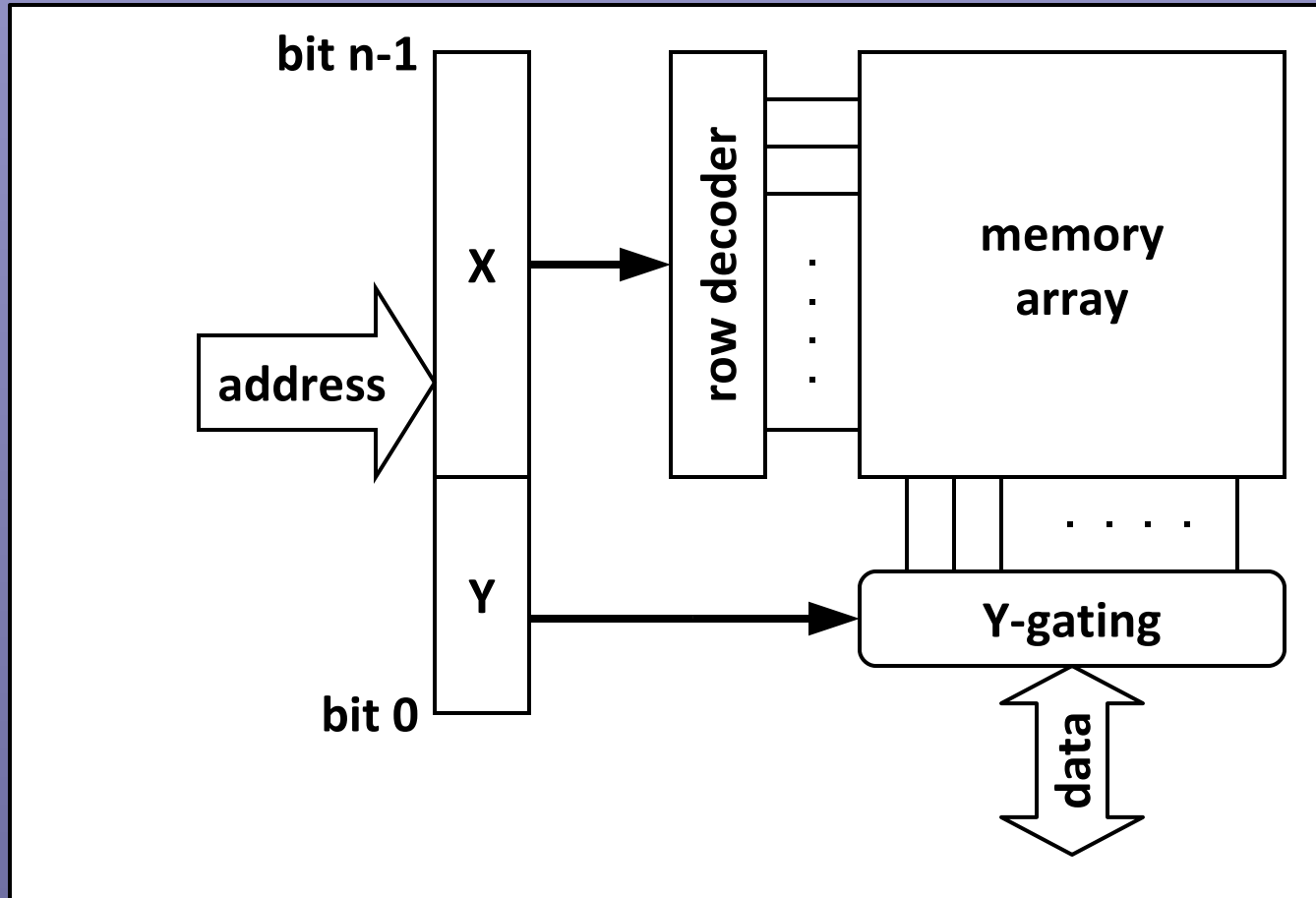
Statická paměť

SRAM v maticovém uspořádání

- vysoká hustota
- adresace
 - ♦ výběr řádku
 - ♦ čtení sloupců



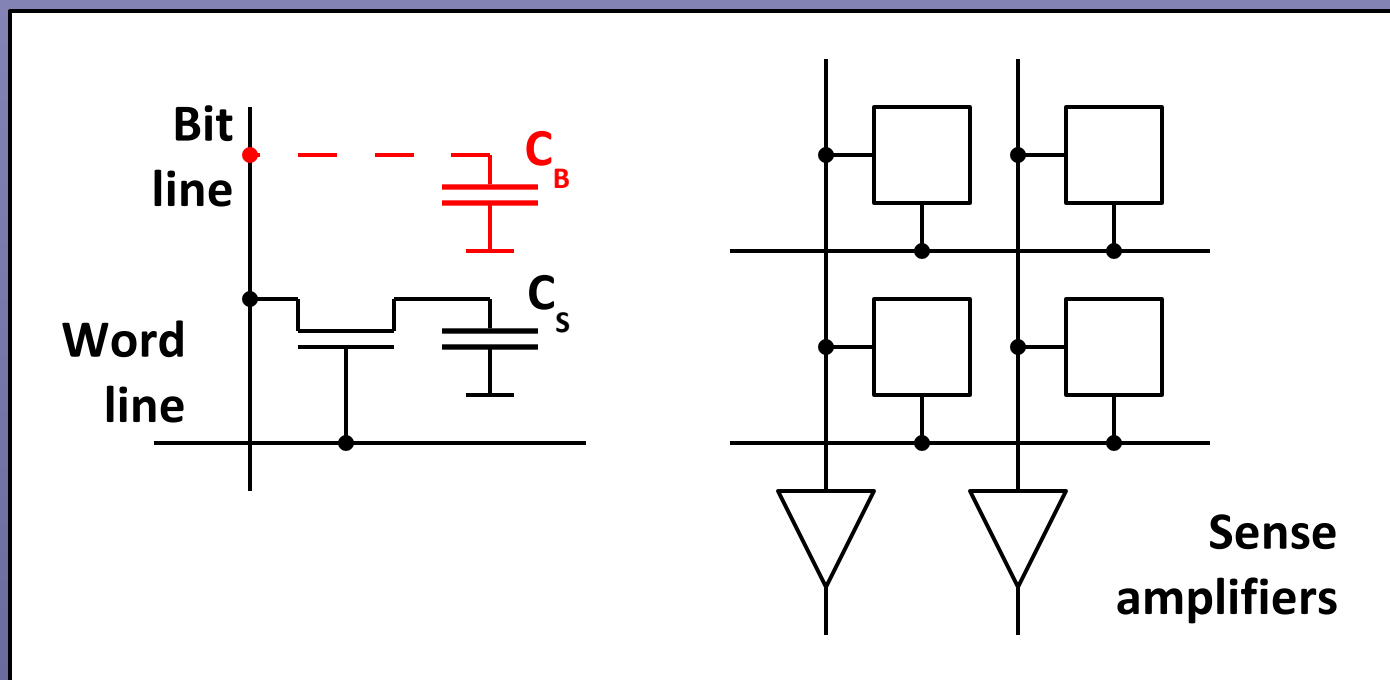
Vnitřní organizace paměti



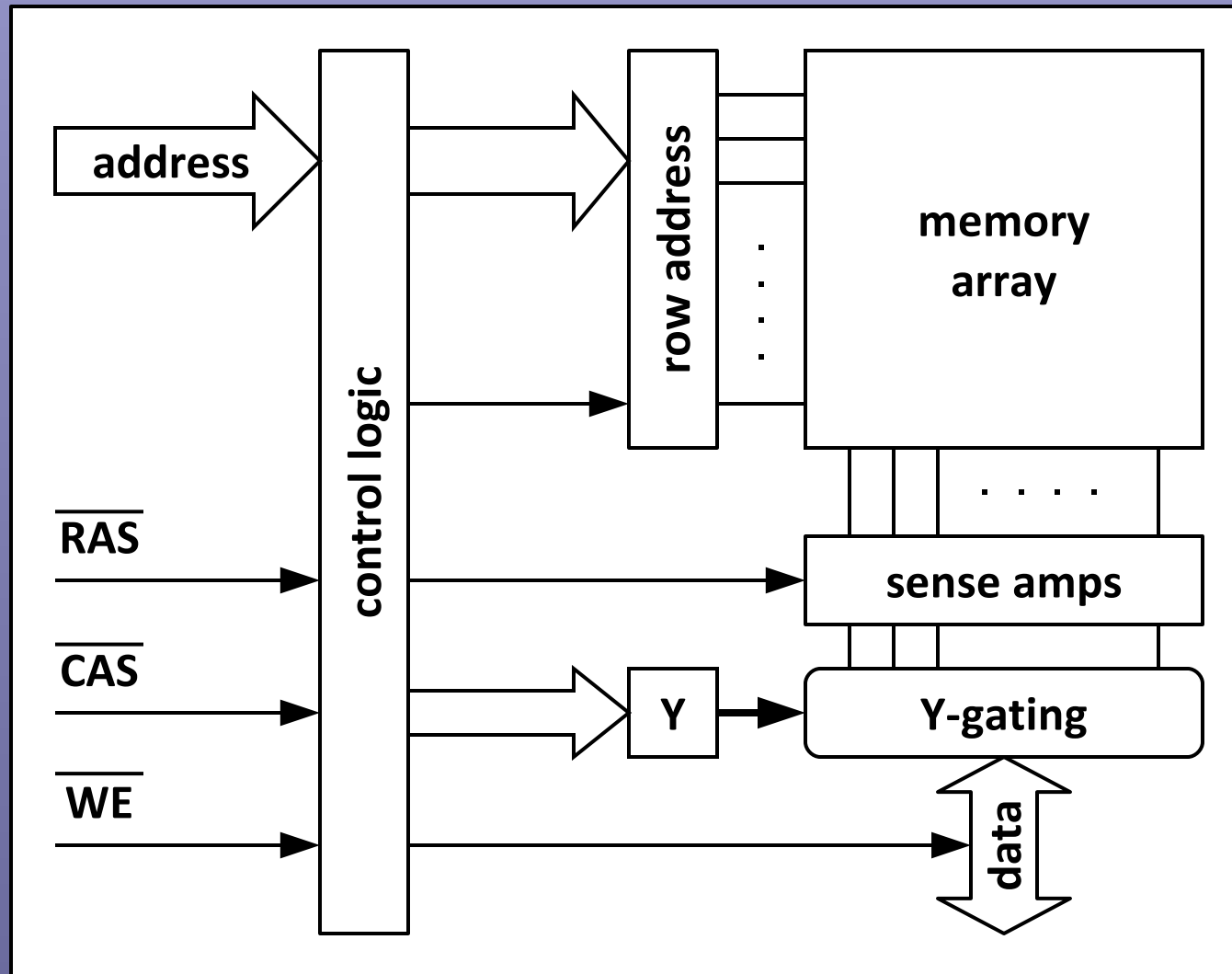
Dynamická paměť

Buňka paměti DRAM

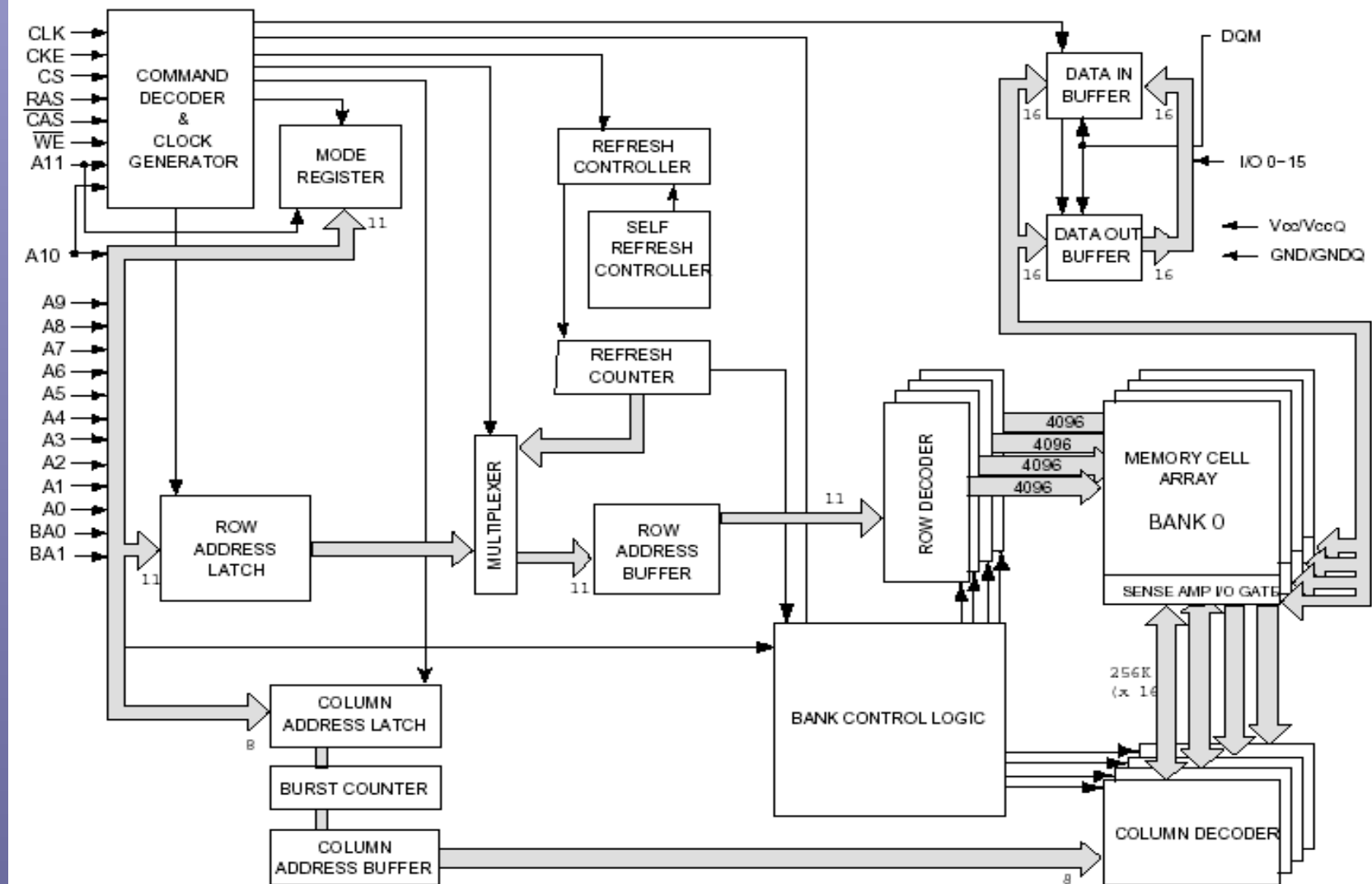
- destruktivní čtení, informaci nutno obnovovat
- kondenzátor + řídící tranzistor



Typická organizace DRAM



Příklad skutečné DRAM



Zvyšování výkonu DRAM

Pozorování

- nejdéle trvá čtení řádku
- řádek obsahuje více než jen požadované slovo

Základní princip

- použít více slov z jednoho řádku
 - ♦ Page Mode Access, Fast Page Mode Access
- pipelining výstupu dat a výběru nového řádku
 - ♦ Extended Data Out, Burst Extended Data Out
- víceportové paměti
 - ♦ Video DRAM/VRAM
 - ♦ $1280 \times 1024 \times 70 = 90 \text{ MB/s} \sim 1 \text{ B} / 11 \text{ ns}$

Klasifikace pamětí

Časování

- asynchronní
 - ♦ operace odvozeny od změn vstupních signálů
 - ♦ pro dokončení operace je třeba časové kvantum
- synchronní
 - ♦ operace zcela řízena jednotným tikáním hodin
 - ♦ eliminace dodatečných signálů – zjednodušení rozhraní

Synchronní DRAM

JEDEC SDRAM (PC66 SDRAM)

- dual-bank architektura
- možnost burst mode (1,2,4,8,page)
- 83 / 100 MHz (12 / 10 ns) chipy
- přidání SPD chipu pro identifikaci

PC100 SDRAM

- specifikace Intel pro systémy > 83MHz

Synchronní DRAM

Double Data Rate = DDR SDRAM

- výstup aktivován jak na náběžné, tak na sestupné hraně hodinového signálu
- DDR2 SDRAM, DDR3 SDRAM

Rambus DRAM

- jiné rozhraní (8-bit command + 18-bit data)
- rychlé, ale příliš drahé

Synchronní DRAM

Chaos v pojmenování

- Rambus...
- změna podle „actual peak data transfer rate“
- PC266 = PC2100
 - ♦ $64\text{bit} * 2 * 133\text{ MHz} = 2.1\text{ GB/s} \sim 2100\text{ MB/s}$

Velikost paměti vs. rychlost přístupu

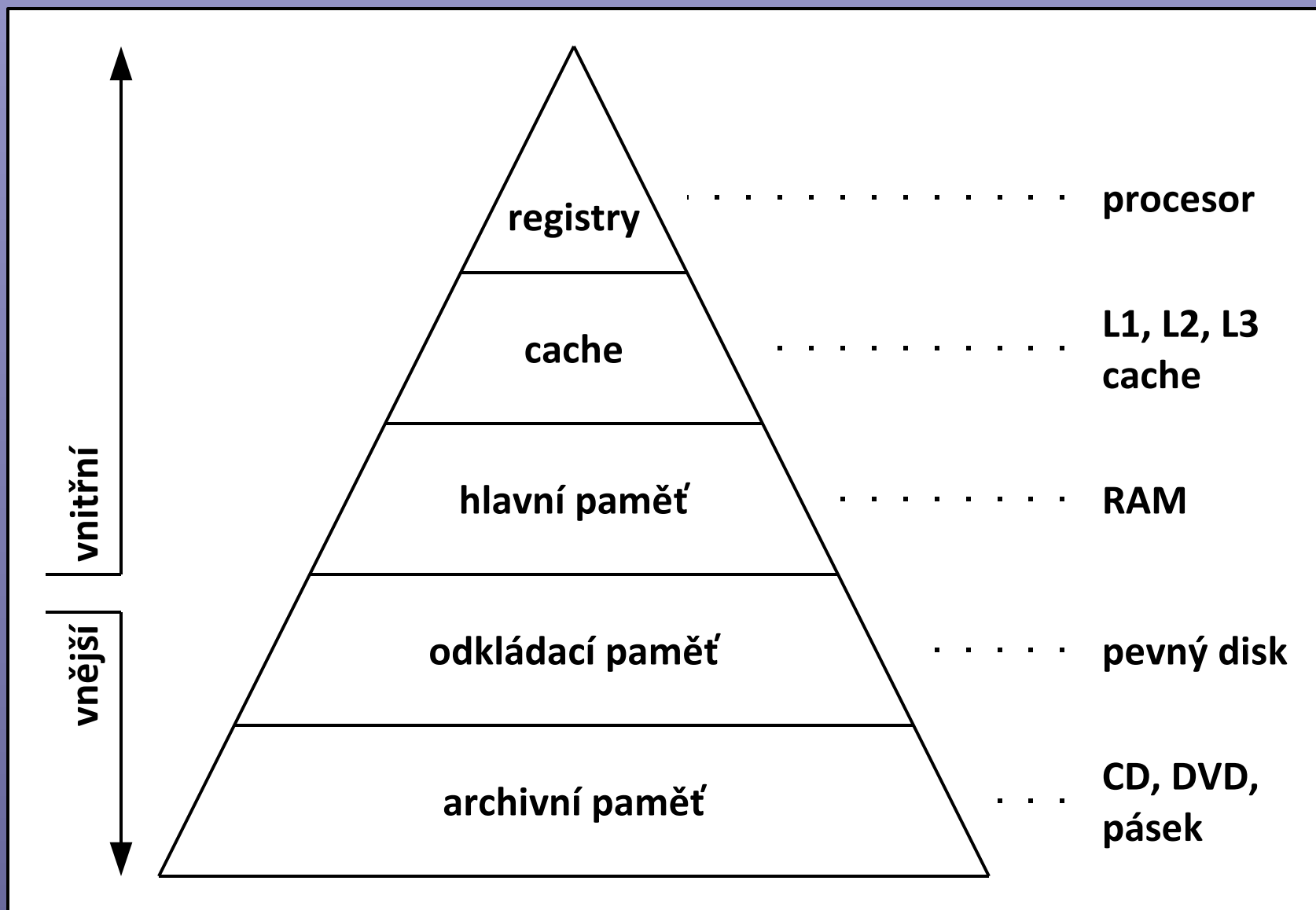
Ideál

- libovolná kapacita
- okamžitý přístup k libovolnému prvku

Realita

- omezená kapacita, nenulová doba přístupu
- technologický problém
 - ♦ velké paměti jsou typicky levné a pomalé
 - ♦ rychlé paměti jsou typicky drahé a malé

Hierarchie pamětí



Typické parametry v hierarchii

	technologie	velikost	přístupová doba
registry	polovodiče, na procesoru	B	~ 1 ns
cache	polovodiče na/vně proc.	kB – MB	~ 10 ns
hlavní p.	polovodiče	MB – GB	~ 10-100 ns
odkládací p.	magnetický záznam	GB – TB	~ 1-10 ms
archivní p.	optický	TB – EB	~ >100 ms

Iluze rychlé a velké paměti

Analogie

- knihovna a pracovní stůl

Lokalita přístupu

- časová (temporal) lokalita
 - ♦ k nedávno použitým datům bude s velkou pravděpodobností přistupováno znovu
- prostorová (spatial) lokalita
 - ♦ datové položky v blízkosti té, se kterou se právě pracuje budou s velkou pravděpodobností rovněž použity

Iluze rychlé a velké paměti

Cache

- využití lokality přístupu
 - ♦ v průměru rychlost odpovídající malým pamětem
 - ♦ kapacita odpovídající pomalým pamětem
- obecný koncept
 - ♦ kompenzace rychlosti přístupu mezi úrovněmi
 - procesor – hlavní paměť, hlavní paměť – odkládací paměť (disk), odkládací paměť – archivní paměť (pásy)
- terminologie
 - ♦ buffer ~ vyrovnávací paměť
 - ♦ cache ~ vyrovnávací paměť

Fungování cache

Cache hit

- hit rate, hit time

Cache miss

- data je nutné přečíst z další úrovně hierarchie
 - ♦ prostoje v pipeline
- miss rate, miss penalty

Organizace cache

Obsah

- data
 - ♦ bloku paměti odpovídá řádek cache
- klíč k datům (tag)
 - ♦ část adresy odpovídající číslu bloku

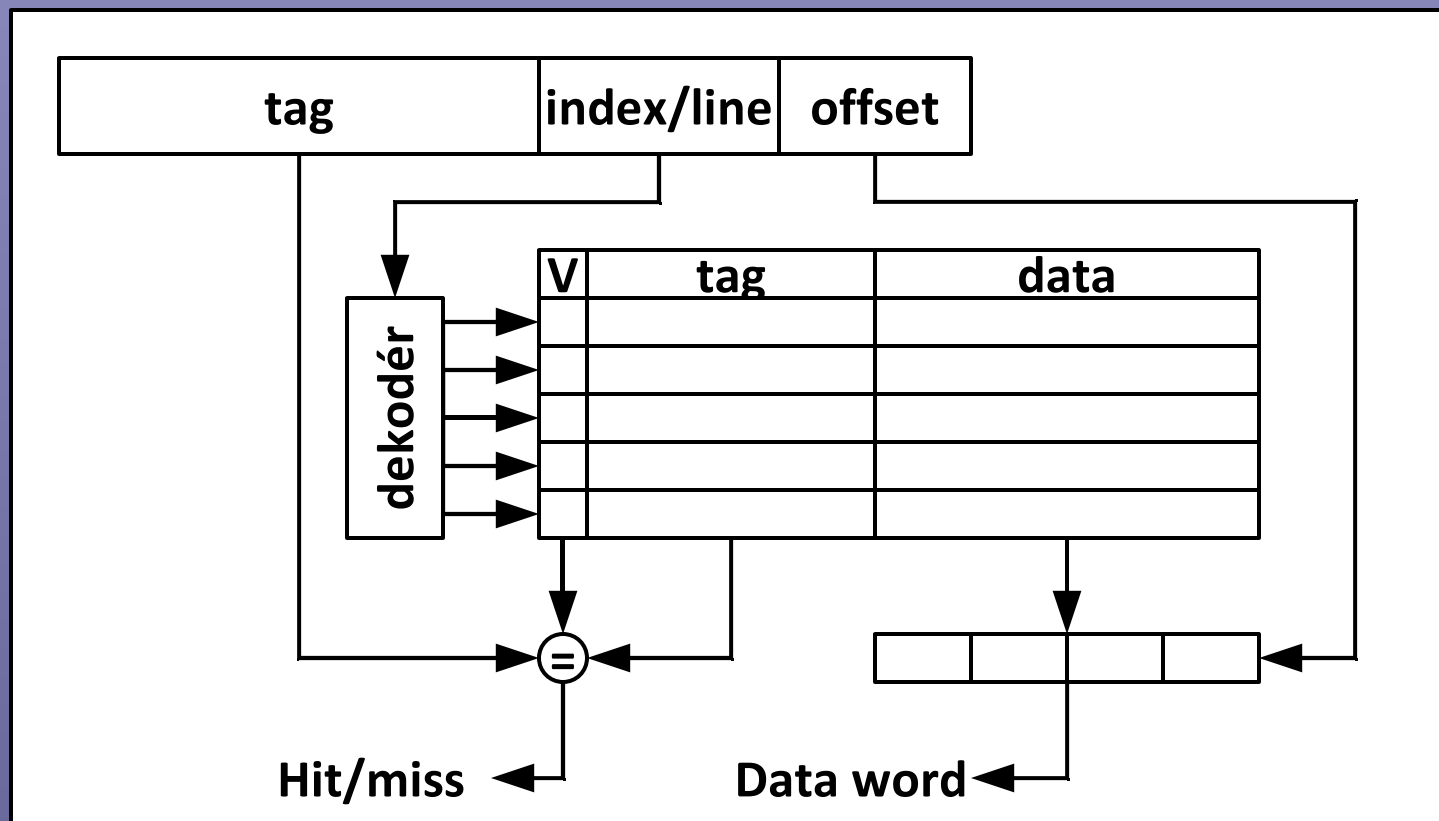
Vyhledávání dat

- přímé mapování
- skupinově asociativní mapování
- plně asociativní mapování

Vyhledávání dat v cache

Direct Mapping

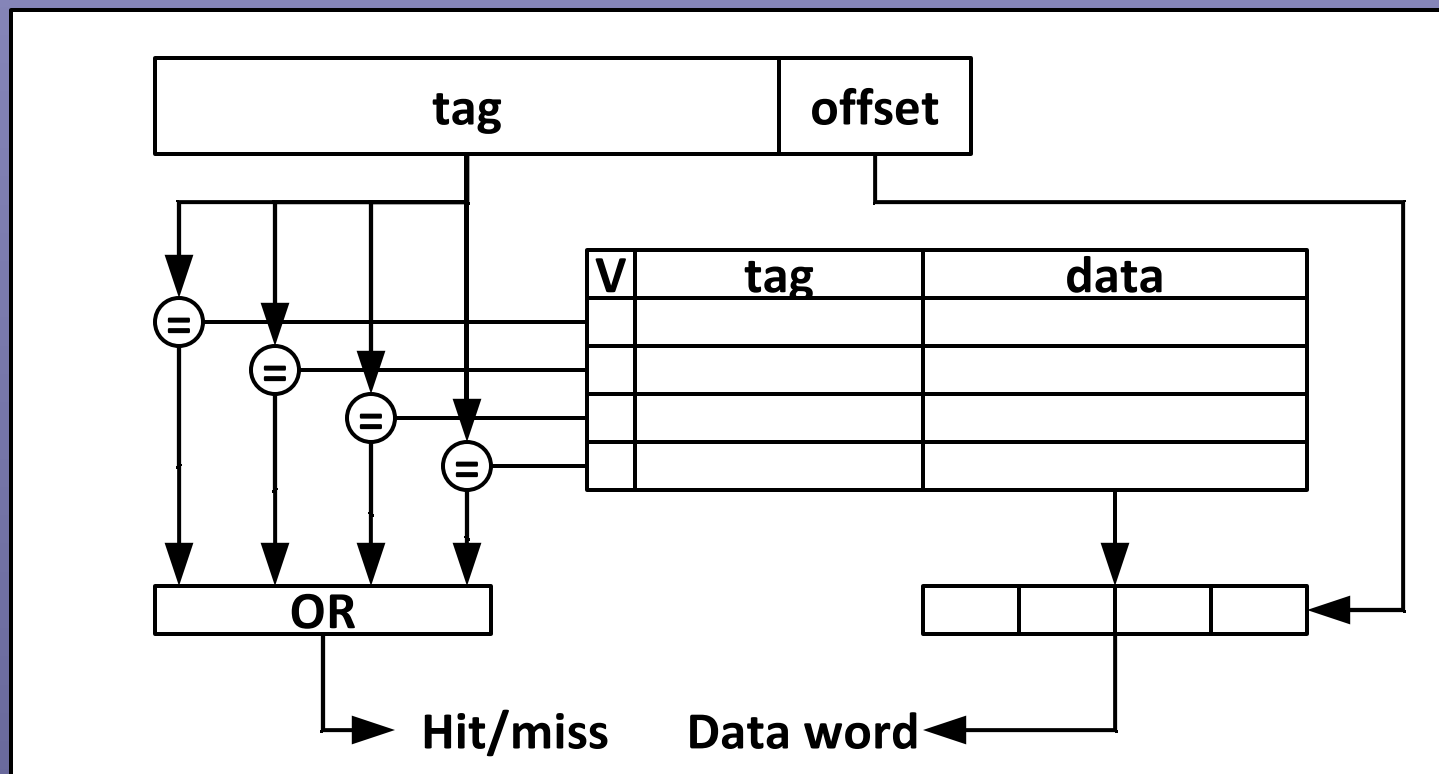
- každý blok může být pouze v jednom z řádků
- do jednoho řádku je mapováno více bloků



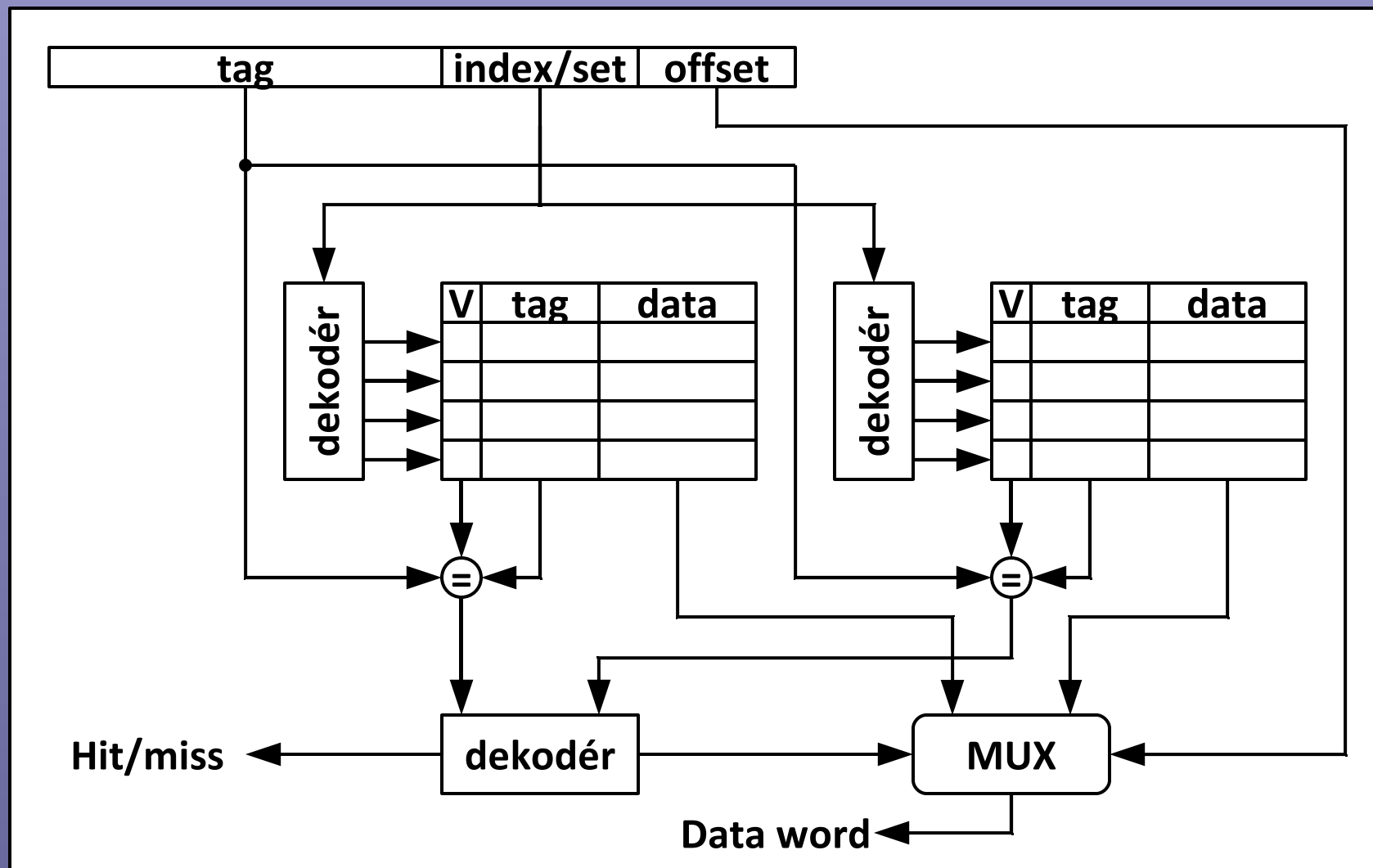
Vyhledávání dat v cache

Fully Associative Mapping

- blok může být v libovolném řádku
- adresa se porovnává tagy všech řádků současně



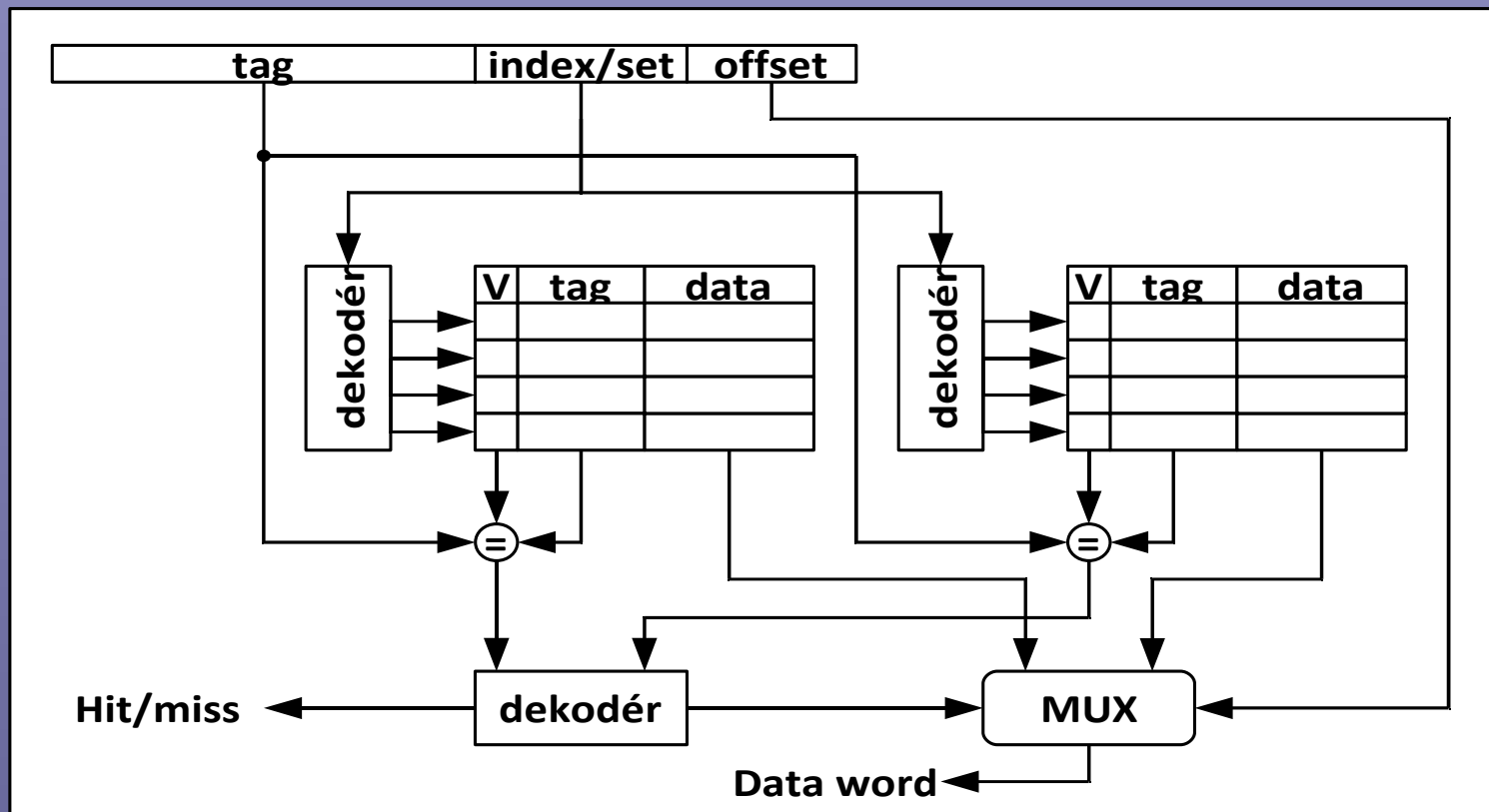
Vyhledávání dat v cache (editable)



Vyhledávání dat v cache

N-Way Set Associative Mapping

- přímé mapování do N množin (na obrázku 2)
- asociativní vyhledávání v rámci množiny



Snížování penalizace za cache miss

Víceúrovňové cache

- L1, oddělené instrukce/data
- L2, společná
- L3, vícejádrové/serverové systémy

Critical Word First

- z paměti se nejprve čte právě požadované slovo
- ostatní slova řádku cache se dočítají později

Zápis dat do hlavní paměti

Požadavek

- data v cache musí odpovídat datům v hlavní paměti

Strategie zápisu

- Write-Through
 - ♦ současný zápis změny do cache i hlavní paměti
 - ♦ maskování zpoždění zápisu: write buffer
 - ♦ Write-Around: do cache se nezapisuje
- Write-Back
 - ♦ zápis až při uvolnění položky z cache
 - ♦ možné problémy s koherencí při sdílení paměti

Uvolňovací mechanismy

Problém

- jsou potřeba data, v cache není volné místo

Řešení

- „něco“ se „vyhodí“
- direct mapping: určeno jednoznačně
- jinak: strategie výběru oběti
 - ♦ LRU, FIFO, LFU, random
 - ♦ bude vysvětleno později

Návrh algoritmů s ohledem na cache

LaMarca, Ladner (1996)

- Quick Sort vs. Radix Sort
 - ♦ $O(n \log n)$ vs $O(n)$
- ***Quick Sort rychlejší pro větší množství dat***
 - ♦ přístup k datům v případě Radix Sort měl za následek příliš mnoho cache misses

Řešení

- návrh algoritmu Radix Sort tak, aby pracoval s daty nejprve v rámci bloku, který je v cache (cache line)

Literatura

D. A. Patterson, J. L. Hennessy

- Computer Organization and Design

Internet

- <http://www.tomshardware.com>
- <http://www.play-hookey.com/digital>